

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

3 / Priority Doc.
E. Usillo
3-26-02

出 願 年 月 日
Date of Application:

2001年 5月15日

出 願 番 号
Application Number:

特願2001-145298

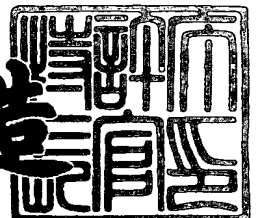
出 願 人
Applicant(s):

富士通株式会社

2001年10月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3092856

【書類名】 特許願

【整理番号】 0140267

【提出日】 平成13年 5月15日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H03K 17/04
H01L 27/04

【発明の名称】 差動アンプ回路および半導体集積回路装置

【請求項の数】 10

【発明者】

【住所又は居所】 北海道札幌市北区北七条西四丁目3番地1 富士通北海道デジタル・テクノロジー株式会社内

【氏名】 金森 美絵

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 高内 英規

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 石田 秀樹

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動アンプ回路および半導体集積回路装置

【特許請求の範囲】

【請求項 1】 ラッチ部を備える差動アンプ回路であって、
差動入力トランジスタに微小電流を貫通させておくことを特徴とする差動アンプ回路。

【請求項 2】 請求項 1 に記載の差動アンプ回路において、
前記差動入力トランジスタは、各々が第 1 および第 2 の電極と制御電極とを有する第 1 のトランジスタおよび第 2 のトランジスタを備え、

該第 1 のトランジスタの制御電極および該第 2 のトランジスタの制御電極には差動入力信号が供給され、

該第 1 のトランジスタの第 1 の電極および該第 2 のトランジスタの第 1 の電極の共通接続ノードと第 1 の電源線との間に、前記第 1 および第 2 のトランジスタに微小電流を貫通させておく第 3 のトランジスタを設けたことを特徴とする差動アンプ回路。

【請求項 3】 請求項 2 に記載の差動アンプ回路において、
前記第 3 のトランジスタは、該差動アンプ回路の動作停止時に前記第 1 および第 2 のトランジスタに対する微小電流の貫通を停止することを特徴とする差動アンプ回路。

【請求項 4】 請求項 2 に記載の差動アンプ回路において、さらに、
前記第 1 のトランジスタの第 1 の電極および前記第 2 のトランジスタの第 1 の電極の共通接続ノードと前記第 1 の電源線との間に設けられ、該差動アンプ回路における信号判定時に駆動電流を流す第 4 のトランジスタを備え、

前記第 3 のトランジスタを、該第 4 のトランジスタと並列に接続したことを特徴とする差動アンプ回路。

【請求項 5】 請求項 4 に記載の差動アンプ回路において、
該差動アンプ回路を MOS トランジスタで構成し、
前記第 3 のトランジスタのゲート幅を、前記第 4 のトランジスタのゲート幅よりも小さくしたことを特徴とする差動アンプ回路。

【請求項 6】 請求項 2 に記載の差動アンプ回路において、

前記第 3 のトランジスタを、該差動アンプ回路による信号判定時に駆動電流を流すトランジスタと兼用したことを特徴とする差動アンプ回路。

【請求項 7】 請求項 6 に記載の差動アンプ回路において、

前記第 3 のトランジスタの制御電極に供給する電流値制御信号を、該差動アンプ回路における信号判定時に所定の駆動電流を流すレベルとし、且つ、該差動アンプの動作中で信号判定時以外に前記第 1 および第 2 のトランジスタに微小電流を貫通させるレベルとしたことを特徴とする差動アンプ回路。

【請求項 8】 請求項 1 ～ 7 のいずれか 1 項に記載の差動アンプ回路において、

前記ラッチ部は、前記第 1 のトランジスタの第 2 の電極と第 2 の電源線との間に設けた第 1 のインバータ、および、前記第 2 のトランジスタの第 2 の電極と該第 2 の電源線との間に設けた第 2 のインバータを備え、該第 1 のインバータおよび該第 2 のインバータをクロスカップルしたことを特徴とする差動アンプ回路。

【請求項 9】 請求項 1 ～ 8 のいずれか 1 項に記載の差動アンプ回路において、さらに、

前記第 1 のトランジスタの第 2 の電極および前記第 2 のトランジスタの第 2 の電極に接続され、制御信号に応じて該第 1 のトランジスタの第 2 の電極および該第 2 のトランジスタの第 2 の電極を短絡する第 5 のトランジスタを備えることを特徴とする差動アンプ回路。

【請求項 10】 請求項 1 ～ 9 のいずれか 1 項に記載の差動アンプ回路を備えたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は差動アンプ回路および半導体集積回路装置に関し、特に、信号伝送システムや半導体記憶装置等の受信回路に搭載される差動アンプ回路に関する。

近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、SRAM (Static Random Access Memory) や DRAM (D

ynamic Random Access Memory) 等の半導体記憶装置やプロセッサ等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。

【0002】

具体的に、例えば、DRAM等の主記憶装置とプロセッサとの間（LSI間）の信号伝送速度がコンピュータ全体の性能向上の妨げになりつつある。さらに、サーバと主記憶装置或いはネットワークを介したサーバ間といった筐体やボード（プリント配線基板）間の信号伝送だけでなく、半導体チップの高集積化並びに大型化、および、電源電圧の低電圧化（信号振幅の低レベル化）等により、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても信号伝送速度の向上が必要になって来ている。

【0003】

ところで、信号を高速に伝送する場合、高周波成分のロスや信号の反射を防止するために、小振幅の信号により伝送することが多い。そのため、受信回路としては、小振幅信号を正確に増幅することができる信号増幅回路を搭載する必要がある、そのための信号増幅回路（差動アンプ回路）の提供が要望されている。

【0004】

【従来の技術】

図1は従来の差動アンプ回路の一例を説明するための回路図であり、CMOSトランジスタで構成されたストロングアームラッチ型の差動センスアンプ回路を示すものである。

図1において、参照符号AVDは高電位電源線、AVSは低電位電源線、101, 102, 112, 122, 130はNチャネル型MOSトランジスタ（NMOSトランジスタ）、そして、110, 111, 120, 121はPチャネル型MOSトランジスタ（PMOSトランジスタ）を示している。また、参照符号CKはクロック、d, dxは差動入力信号（相補入力）、q, qxは差動出力（相補の出力信号：相補の出力ノード）を示している。ここで、トランジスタ111および112は第1のインバータを構成し、また、トランジスタ121および1

22は第2のインバータを構成している。なお、これら第1および第2のインバータは、クロスカップル（交差接続）されてラッチ部を構成している。

【0005】

ゲートに入力信号dが供給された入力トランジスタ101のソースおよびゲートに入力信号dxが供給された入力トランジスタ102のソースは共通接続され、そして、ゲートにクロックCKが供給されたトランジスタ130を介して低電位電源線AVSに接続されている。入力トランジスタ101のドレインは第1のインバータ（トランジスタ111，112）を介して高電位電源線AVDに接続され、同様に、入力トランジスタ102のドレインは第2のインバータ（トランジスタ121，122）を介して高電位電源線AVDに接続されている。なお、インバータを構成する各PMOSトランジスタ111および121には、それぞれゲートにクロックCKが供給されたPMOSトランジスタ110および120が並列に接続されている。

【0006】

図1に示すストロングアームラッチ型の差動センスアンプ回路において、クロックCKが高レベル『H』になると、トランジスタ130がオンとなって高電位電源線AVDから低電位電源線AVS（接地GND）に対して電流パスができる。このとき、差動入力信号d，dxの電位の違いによりトランジスタ112と122に流れる電流に差が出るため、ノードq，qxの電位が相補入力に対応して異なった値をとる。このノードq，qxは、第1および第2のインバータのクロスカップル入力兼出力となっており、差動入力信号d，dxに対応して高電位電源（電源電圧：AVD）または低電位電源（接地電圧：AVS）のレベルに増幅された信号が現れ、ラッチ部により保持される。

【0007】

一方、クロックCKが低レベル『L』の場合は、トランジスタ130がオフとなって電流パスがなくなり、また、トランジスタ110および120がオンとなって、ノードq，qxが共に電源電圧と同じ電位になる。この出力電圧をSRラッチの入力とすることで、クロックCKに同期して差動入力信号d，dxを増幅させることができる。

【0008】

このように、従来のストロングアームラッチ型の差動センスアンプは、クロックCKが低レベル『L』のときおよび信号確定後は貫通電流を遮断して使用するようにになっている。

図2は従来の差動アンプ回路の他の例を説明するための回路図である。

図2に示す差動アンプ回路は、上述した図1の差動アンプ回路に対して、ゲートに差動入力信号d, dxが供給されるNMOSトランジスタ101および102のドレイン間にPMOSトランジスタ140を設けるようにしたものである。ここで、トランジスタ140のゲートにはクロックCKが供給され、クロックCKが低レベル『L』のとき、すなわち、トランジスタ130がオフでトランジスタ110および120がオンのとき、トランジスタ101および102のドレインを同電位にするようになっている。これにより、クロックCKが低レベル『L』から高レベル『H』に変化して信号判定を行うときの差動入力トランジスタ101および102をほぼ等しい電位状態とすることができる。

【0009】

図3～図7は、それぞれ従来の差動アンプ回路のさらに他の例を説明するための回路図である。

図3に示す差動アンプ回路は、上述した図1の差動アンプ回路に対して、ゲートに差動入力信号d, dxが供給されるNMOSトランジスタ101および102のドレイン間にNMOSトランジスタ150を設けるようにしたものである。ここで、差動入力信号d, dxのレベルは、例えば、高電位電源電圧AVDに近いCML (Current Mode Logic) レベルとなっており、また、トランジスタ150のゲートには高電位電源電圧AVDが印加されているため、クロックCKが低レベル『L』のとき、すなわち、トランジスタ130がオフでトランジスタ110および120がオンのとき、トランジスタ101および102のドレインがほぼ等しい電位状態になる。なお、クロックCKが高レベル『H』のとき、トランジスタ150のゲートには高電位電源電圧AVDが印加されているが、そのトランジスタのソースドレイン間の電位差はそれほど大きくなりえないため、差動増幅動作に影響を与えることはない。

【0010】

これにより、図2の差動アンプ回路と同様に、クロックCKが低レベル『L』から高レベル『H』に変化して信号判定を行うときの差動入力トランジスタ101および102をほぼ等しい電位状態とすることができる。

図4に示す差動アンプ回路は、上述した図1の差動アンプ回路に対して、差動出力q、qx間にゲートにクロックCKが供給されるNMOSトランジスタ160を設けるようにしたものである。

【0011】

トランジスタ160のゲートにはクロックCKが供給され、クロックCKが低レベル『L』のとき、すなわち、トランジスタ130がオフでトランジスタ110および120がオンのとき、差動出力（第1および第2のインバータのクロスカップル入力兼出力ノード）qおよびqxを同電位にしている。これにより、クロックCKが低レベル『L』のときに出力ノードq、qxを同電位にすることで、第1および第2のインバータのクロスカップル部をほぼ等しい電位状態にしている。

【0012】

図5に示す差動アンプ回路は、上記図4の差動アンプ回路に対して、前述した図2におけるPMOSトランジスタ140を設けるようにしたものであり、また、図6に示す差動アンプ回路は、上記図4の差動アンプ回路に対して、前述した図3におけるNMOSトランジスタ150を設けるようにしたものである。

図7に示す差動アンプ回路は、上述した図1の差動アンプ回路に対して、PMOSトランジスタ110、120のソース（高電位電源電圧AVD）とNMOSトランジスタ130のドレイン（差動入力トランジスタ101、102のソース）との間に、クロックCKがゲートに供給されたPMOSトランジスタ170を設けるようにしたものである。これにより、クロックCKが高レベル『H』から低レベル『L』になって各ノード電位が初期値に戻ろうとするとき、トランジスタ170がオンになり、差動入力のソース側に高電位電源電圧AVDが与えられ、初期化に要する時間を短縮している。

【0013】

【発明が解決しようとする課題】

信号（差動入力信号）が高速の信号であったり、或いは、伝送路等を介して供給される場合等においては、信号の減衰が大きいために、差動入力信号 d 、 d_x の差動振幅は小さくなってしまう。このように、信号振幅が小さい場合には、図 1 および図 2 におけるノード q 、 q_x に現れる電位差が小さくなり、回路のレイアウト上の非対称性や差動入力信号が供給される差動入力トランジスタ 101、102 の製造ばらつきによるオフセット等の影響を受けて誤動作を引き起こす恐れがある。また、信号判定時においては、寄生容量を充電するのに余計な時間が必要となり、ノード q 、 q_x の電位が確定するのに時間がかかり、高速な信号変化に追従できないことにもなってしまふ。さらに、例えば、クロック CK が低レベル『L』から高レベル『H』に変化してトランジスタ 130 がオンして各差動入力トランジスタ 101、102 のソースが低電位電源側に引かれるときに、その影響で該差動入力トランジスタのゲート信号（差動入力信号 d 、 d_x ）のレベルが変化して誤動作が生じる恐れもある。

【0014】

本発明は、上述した従来の差動アンプ回路における課題に鑑み、高速で小振幅の信号に対しても正確な信号増幅を行うことのできる差動アンプ回路およびその差動アンプ回路を備えた半導体集積回路装置の提供を目的とする。

【0015】

【課題を解決するための手段】

本発明の第 1 の形態によれば、ラッチ部を備える差動アンプ回路であって、差動入力トランジスタに微小電流を貫通させておくようにした差動アンプ回路が提供される。

本発明の第 2 の形態によれば、ラッチ部を有する差動アンプ回路を備えた半導体集積回路装置であって、該差動アンプ回路が差動入力トランジスタに微小電流を貫通させておくようにした半導体集積回路装置が提供される。

【0016】

【発明の実施の形態】

以下、本発明に係る差動アンプ回路および半導体集積回路装置の実施例を添付

図面に従って詳述する。

図 8 は本発明に係る差動アンプ回路の第 1 実施例を示す回路図であり、CMOS トランジスタで構成されたストロングアームラッチ型の差動センスアンプ回路を示すものである。

【0017】

図 8 において、参照符号 A V D は高電位電源線、A V S は低電位電源線、1, 2, 3, 1 2, 2 2, 3 0 は N チャネル型 MOS トランジスタ (NMOS トランジスタ)、そして、1 0, 1 1, 2 0, 2 1 は P チャネル型 MOS トランジスタ (PMOS トランジスタ) を示している。また、参照符号 C K はクロック、d, d x は差動入力信号 (相補入力)、q, q x は差動出力 (相補の出力信号 : 相補の出力ノード) を示している。ここで、トランジスタ 1 1 および 1 2 は第 1 のインバータを構成し、また、トランジスタ 2 1 および 2 2 は第 2 のインバータを構成している。なお、これら第 1 および第 2 のインバータは、クロスカップルされてラッチ部を構成している。

【0018】

ゲートに入力信号 d が供給された入力トランジスタ 1 のソースおよびゲートに入力信号 d x が供給された入力トランジスタ 2 のソースは共通接続され、そして、トランジスタ 3 および 3 0 を介して低電位電源線 A V S に接続されている。ここで、トランジスタ 3 0 のゲートにはクロック C K が供給され、また、トランジスタ 3 のゲートには制御信号 P D X が供給されている。

【0019】

入力トランジスタ 1 のドレインは第 1 のインバータ (トランジスタ 1 1, 1 2) を介して高電位電源線 A V D に接続され、同様に、入力トランジスタ 2 のドレインは第 2 のインバータ (トランジスタ 2 1, 2 2) を介して高電位電源線 A V D に接続されている。なお、インバータを構成する各 PMOS トランジスタ 1 1 および 2 1 には、それぞれゲートにクロック C K が供給された PMOS トランジスタ 1 0 および 2 0 が並列に接続されている。

【0020】

このように、図 8 に示す第 1 実施例の差動アンプ回路 (ストロングアームラッ

チ型の差動センスアンプ回路)は、前述した図1に示す従来の差動アンプ回路に対して、新たに、ゲートに制御信号PDXが供給されたNMOSトランジスタ3を追加したものに相当する。

図9は本発明に係る差動アンプ回路の第2実施例を示す回路図であり、上述した図8に示す第1実施例の差動アンプ回路に対して、ゲートに差動入力信号d, dxが供給されるNMOSトランジスタ1および2のドレイン間にPMOSトランジスタ4を設けるようにしたものである。すなわち、図9に示す第2実施例の差動アンプ回路(ストロングアームラッチ型の差動センスアンプ回路)は、前述した図2に示す従来の差動アンプ回路に対して、新たに、ゲートにクロックCKが供給されたPMOSトランジスタ4を追加したものに相当する。

【0021】

図10は図8および図9に示す差動アンプ回路の動作を説明するためのタイミング図である。

上記の第1および第2実施例において、トランジスタ3はサイズの小さいトランジスタとして構成され、例えば、トランジスタ3のゲート幅は、クロックCKが高レベル『H』のときにオンとなって差動アンプ回路を駆動するトランジスタ30のゲート幅の約30分の1程度とされている。これにより、クロックCKが低レベル『L』でトランジスタ30がオフとなって回路に駆動電流が流れていないときでも、トランジスタ3がオンとなって回路(差動入力トランジスタ1および2)に微小電流を貫通させておくようになっている。なお、クロックCKは、例えば、データD(差動入力信号d, dx)のほぼ中央位置で低レベル『L』から高レベル『H』に変化して、データの増幅(判定)を行うようになっている。

【0022】

図8および図9に示す第1および第2実施例の差動アンプ回路において、例えば、差動アンプ回路の動作時(差動アンプ回路を有する半導体集積回路装置の動作時)に制御信号PDXは高レベル『H』とされ、トランジスタ3はオンになる。このとき、クロックCKは低レベル『L』になっており、トランジスタ30はオフでトランジスタ10および20はオンとなっており、トランジスタ3を介して回路に電流パスが生成され、微小な貫通電流が流れる。すなわち、トランジス

タ 3 は、そのゲート幅がトランジスタ 3 0 のゲート幅の約 3 0 分の 1 程度の小さなトランジスタとして構成されており、差動入力トランジスタ 1 および 2 に常時微小電流が流れるようになっている。ここで、差動入力トランジスタ 1 および 2 は、トランジスタ 3 による微小な貫通電流が流れていても増幅動作を行うことはないのはもちろんである。

【 0 0 2 3 】

なお、図 9 に示す第 2 実施例では、ゲートにクロック C K が供給されたトランジスタ 4 により、クロック C K が低レベル『L』のとき、すなわち、トランジスタ 3 0 がオフでトランジスタ 1 0 および 2 0 がオンのときに、トランジスタ 1 および 2 のドレインを同電位にするようになっている。これにより、クロック C K が低レベル『L』から高レベル『H』に変化して信号判定を行うときの差動入力トランジスタ 1 および 2 をほぼ等しい電位状態とすることができる。

【 0 0 2 4 】

そして、信号判定を行うために、クロック C K が低レベル『L』から高レベル『H』になると、トランジスタ 3 0 がオンとなって高電位電源線 A V D から低電位電源線 A V S（接地 G N D）に対して電流パスができ、駆動電流が流れる。このとき、差動入力信号 d， d x の電位の違いによりトランジスタ 1 2 と 2 2 に流れる電流に差が出るため、ノード q， q x の電位が相補入力に対応して異なった値をとる。このノード q， q x は、第 1 および第 2 のインバータのクロスカップル入力兼出力となっており、差動入力信号 d， d x に対応して高電位電源（電源電圧： A V D）または低電位電源（接地電圧： A V S）のレベルに増幅された信号が現れ、ラッチ部により保持される。

【 0 0 2 5 】

すなわち、クロック C K の立ち上がりタイミングで、例えば、データ D 0（差動入力信号 d， d x）が取り込まれ、そのデータ D 0 に対応した出力信号（ノード q， q x）がラッチ部により保持されて出力される。

このように、トランジスタ 3 でストロングアームラッチ型の差動アンプ回路に常時貫通電流を流しておくことにより、予め寄生容量が充電され、寄生容量の差動間のばらつきによる影響を受け難くすることができる。また、回路に電流を流

しておくことで、例えば、トランジスタ 2 および 3 のソース電位が上がり、クロック CK が低レベル『L』から高レベル『H』になるときのスイッチング速度を向上させることができる。

【 0 0 2 6 】

図 1 1 は本発明に係る差動アンプ回路の第 3 実施例を示す図であり、図 1 1 (a) は差動アンプ回路の回路図を示し、また、図 1 1 (b) は電流制御信号を発生するための回路図を示す。

図 1 1 (a) に示されるように、本第 3 実施例は、上述した図 8 に示す第 1 実施例の差動アンプ回路において、トランジスタ 3 0 をトランジスタ 3 と兼用にしたものに対応し、回路構成上は、図 1 の差動アンプ回路に対応したものとなっている。ただし、本第 3 実施例において、トランジスタ 3 0 ' のゲートには、電流制御信号 CCS が供給される。

【 0 0 2 7 】

電流制御信号 CCS は、例えば、図 1 1 (b) に示されるような回路により発生される。図 1 1 (b) において、参照符号 4 1 および 4 2 は抵抗手段、4 3 および 4 4 はトランスファークラップゲート、そして、4 5 はインバータを示している。

トランスファークラップゲート 4 3 の入力には、高電位電源電圧（高レベル『H』）が印加され、また、トランスファークラップゲート 4 4 の入力には、抵抗手段 4 1 および 4 2 により分圧された中間レベルの電圧（中間レベル『M』）が印加されている。トランスファークラップゲート 4 3 および 4 4 はクロック CK により制御され、一方がオンのときに他方がオフとなるように構成されている。すなわち、クロック CK が高レベル『H』のとき、トランスファークラップゲート 4 3 がオンになって電流制御信号 CCS が高レベル『H』になり、逆に、クロック CK が低レベル『L』のとき、トランスファークラップゲート 4 4 がオンになって電流制御信号 CCS が中間レベル『M』になる。

【 0 0 2 8 】

図 1 2 は図 1 1 に示す差動アンプ回路の動作を説明するためのタイミング図である。

図 1 2 に示すタイミング図では、トランジスタ 3 0 ' のゲートに供給される電

流制御信号CCSは3つのレベルをとるようになっており、差動アンプ回路（差動アンプ回路が設けられた受信回路或いは半導体集積回路装置）の動作停止時には、電流制御信号CCSが低レベル『L』になって、トランジスタ30' をオフにして差動入力トランジスタ1および2に対する微小電流の貫通を停止するようになっている。

【0029】

電流制御信号CCSにおける高レベル『H』はクロックCKの高レベルと同様のものであり、トランジスタ30' のゲートに対してクロックCKと同じタイミングで高レベル『H』を与えることにより、上述した第1および第2実施例におけるトランジスタ30と同様に回路に駆動電流を流す。また、クロックCKが低レベル『L』になるタイミングでは、トランジスタ30' のゲートに対して中間レベル『M』の電流制御信号CCSが与えられ、トランジスタ30' を介して回路（差動入力トランジスタ1および2）に微小電流を流すようになっている。

【0030】

なお、本第3実施例においても、前述した第2実施例と同様に、差動入力トランジスタ1および2のドレイン間に対して、ゲートにクロックCKが供給されたPMOSトランジスタ4を設けるように構成することもできる。

図13は本発明に係る差動アンプ回路の第4実施例を示す回路図である。

図13に示す第4実施例の差動アンプ回路は、上述した図8の第壹十指令の差動アンプ回路に対して、ゲートに差動入力信号d, dxが供給されるNMOSトランジスタ1および2のドレイン間にNMOSトランジスタ50を設けるようにしたものである。ここで、差動入力信号d, dxのレベルは、例えば、高電位電源電圧AVDに近いCMLレベルとなっており、また、トランジスタ50のゲートには高電位電源電圧AVDが印加されているため、クロックCKが低レベル『L』のとき、すなわち、トランジスタ30がオフでトランジスタ10および20がオンのとき、トランジスタ1および2のドレインがほぼ等しい電位状態になる。なお、クロックCKが高レベル『H』のとき、差動出力q, qxが確定した後、トランジスタ50のソースおよびドレインの電位が下がって、ゲートに印加された高電位電源電圧AVDにより該トランジスタ50はオンすることになるが、

すでに差動出力 q , q_x が確定しているので、差動増幅動作に影響を与えることはない。

【0031】

本第4実施例においても、ゲートに制御信号 PDX が供給されたトランジスタ3はサイズの小さいトランジスタとして構成され、クロック CK が低レベル『L』でトランジスタ30がオフとなって回路に駆動電流が流れていないときでも、トランジスタ3がオンとなって回路（差動入力トランジスタ1および2）に微小電流を貫通させておくようになっている。このトランジスタ3の動作は、前述した第1実施例及び第2実施例と同様である。

【0032】

図14は本発明に係る差動アンプ回路の第5実施例を示す回路図である。

図14に示す第5実施例の差動アンプ回路は、第1実施例の差動アンプ回路に対して、差動出力 q , q_x 間にゲートにクロック CK が供給される $NMOS$ トランジスタ60を設けるようにしたものである。

トランジスタ60のゲートにはクロック CK が供給され、クロック CK が低レベル『L』のとき、すなわち、トランジスタ30がオフでトランジスタ10および20がオンのとき、差動出力 q , q_x を同電位にするようになっている。これにより、クロック CK が低レベル『L』のときに出力ノード q , q_x を同電位にすることで、第1および第2のインバータのクロスカップル部をほぼ等しい電位状態にするようになっている。

【0033】

図15は本発明に係る差動アンプ回路の第6実施例を示す回路図であり、図16は本発明に係る差動アンプ回路の第7実施例を示す回路図である。

図15に示す第6実施例の差動アンプ回路は、上記第5実施例の差動アンプ回路に対して、前述した図9の第2実施例における $PMOS$ トランジスタ4を設けるようにしたものであり、また、図16に示す第7実施例の差動アンプ回路は、上記第5実施例の差動アンプ回路に対して、前述した図13の第4実施例における $PMOS$ トランジスタ50を設けるようにしたものである。

【0034】

図 1 7 は本発明に係る差動アンプ回路の第 8 実施例を示す回路図である。

図 7 に示す第 8 実施例の差動アンプ回路は、上述した図 8 の第 1 実施例の差動アンプ回路に対して、高電位電源電圧 A V D と N M O S トランジスタ 3 0 (N M O S トランジスタ 3) のドレイン (差動入力トランジスタ 1 , 2 のソース) との間に、クロック C K がゲートに供給された P M O S トランジスタ 7 0 を設けるようにしたものである。これにより、クロック C K が高レベル『H』から低レベル『L』になって各ノード電位が初期値に戻ろうとするとき、トランジスタ 7 0 がオンになり、差動入力のソース側に高電位電源電圧 A V D が与えられ、初期化に要する時間を短縮するようになっている。

【 0 0 3 5 】

なお、上述した第 4 実施例～第 8 実施例に対しても、図 1 1 の第 3 実施例と同様に、トランジスタ 3 0 およびトランジスタ 3 を兼用として、ゲートに電流制御信号 C C S が供給される 1 つのトランジスタ 3 0 ' として構成することもできる。

以上のように、本発明に係る差動アンプ回路の各実施例は、従来の差動アンプ回路 (図 1 ～図 7) に比して、より一層小さい差動振幅に対しても正確に信号の読み取り (信号判定処理) を行うことが可能になる。また、信号の伝送路が短い場合や信号の減衰が少ない場合においても、例えば、信号の立ち上がり途中の振幅を読み取ることができるため、クロックジッターに対する耐力の改善が可能になる。

【 0 0 3 6 】

図 1 8 は本発明の差動アンプ回路が適用される一例としての信号伝送システム (受信インターフェースの回路構成) の一例を示すブロック図である。図 1 8 において、参照符号 2 0 0 は回路基板、2 0 1 は送信用 L S I 、2 0 2 は受信用 L S I 、そして、2 0 3 は信号伝送路を示している。また、参照符号 2 1 0 は送信回路 (ドライバ回路) 、2 2 1 は本発明が対象とする差動アンプ回路、2 2 2 は S R ラッチ、そして、2 2 3 はクロック発生源を示している。

【 0 0 3 7 】

図 1 8 に示されるように、例えば、信号伝送路 2 0 3 が短くて済む回路基板 2

00上に搭載された送信用LSI201と受信用LSI202との間の受信インターフェースの回路構成においては、近距離伝送により信号の高周波ロスが少ないため、送信用LSI201から出力された信号（差動信号）は、信号伝送路203を介して受信用LSI202の差動アンプ回路221の入力（差動入力d, dx）に直接供給され、その差動アンプ回路221の出力（判定出力q, qx）はSRラッチ222を介して出力される。ここで、クロック発生源223は、例えば、信号伝送路203を介して供給されるデータのバウンダリを処理してクロックを発生するもので、その出力（クロックCK）は差動アンプ回路221にも供給されている。

【0038】

図19は本発明の差動アンプ回路が適用される一例としての信号伝送システムの他の例を示すブロック図である。図19において、参照符号301は送信用LSI、302は受信用LSI、そして、303は信号伝送路を示している。また、参照符号310は送信回路、321は差動アンプ回路、322はSRラッチ、323はクロック発生源、そして、324はイコライザ（ISIイコライザ）を示している。ここで、図19において、送信用LSI301および受信用LSI302は、例えば、異なる回路基板（或いは、異なる筐体）に設けられ、上述した図18の信号伝送システムにおける信号伝送路203よりも十分に長い信号伝送路303を介して信号が伝送されるようになっている。

【0039】

図19に示されるように、例えば、信号伝送路303により長距離の信号伝送を行う場合、送信用LSI301から出力された信号（差動信号）は、高周波ロスが多く差動信号のレベル差が小さくなるため、信号伝送路303からの信号は、イコライザ324を介して差動アンプ回路321の入力（差動入力d, dx）に供給される。さらに、差動アンプ回路321の出力（判定出力q, qx）は、SRラッチ322を介して出力される。ここで、クロック発生源323は、例えば、信号伝送路303を介して供給されるデータのバウンダリを処理してクロックを発生するもので、その出力（クロックCK）はイコライザ324および差動アンプ回路321にも供給されている。

【 0 0 4 0 】

図 2 0 は図 1 9 に示す信号伝送システムにおける受信 L S I (3 0 2) の一構成例を示すブロック図であり、4 - w a y のインターリーブ型 D P R D (Differential Partial Response Detection) レシーバを示すものである。図 2 0 において、参照符号 3 2 1 1 ~ 3 2 1 4 は上述した各実施例に相当する差動アンプ回路、3 2 2 1 ~ 3 2 2 4 は S R ラッチ、そして、3 2 4 1 ~ 3 2 4 4 はイコライザを示している。また、参照符号 C K 0 ~ C K 3 はそれぞれ位相が 9 0 度だけ異なる四相クロック、D I N , D I N X は差動入力信号、そして、D T 0 , D T 0 X ~ D T 3 , D T 3 X は差動の出力データを示している。

【 0 0 4 1 】

図 2 1 は図 2 0 に示す受信 L S I (3 0 2) におけるイコライザ回路 (3 2 4 1) の一例を示す回路図である。

図 2 1 に示されるように、各イコライザ 3 2 4 1 (3 2 4 1 ~ 3 2 4 4) は、P M O S トランジスタ 4 1 1 ~ 4 1 4 および 4 3 1 , 4 3 2 、および、キャパシタ 4 2 1 ~ 4 2 4 を備えている。トランジスタ 4 3 1 および 4 3 2 は、クロック C K により制御され、このクロック C K が低レベル『 L 』のときにオンになって、出力 (P O S , N E G) を高電位電源電圧 A V D のレベルにプリチャージするようになっている。トランジスタ 4 1 1 ~ 4 1 4 は、制御信号 $\phi 1$, $\phi 2$ により制御され、P R D (Partial Response Detection : 部分応答検出) により I S I (Inter-Symbol Interference : 符号間干渉) の除去を行うようになっている。ここで、制御信号 $\phi 1$ および $\phi 2$ は、ほぼクロック C K および C K X に相当するが、N A N D ゲートによりタイミングがずらされて、例えば、トランジスタ 4 1 1 と 4 2 2 とが共にオンすることがないようにになっている。なお、クロック C K および C K X は、例えば、図 2 0 における位相が 1 8 0 度異なるクロック C K 3 および C K 1 を意味する。

【 0 0 4 2 】

図 2 1 のイコライザ 3 2 4 1 において、制御信号 $\phi 1$ が低レベル『 L 』 (制御信号 $\phi 2$ が高レベル『 H 』) のとき、トランジスタ 4 1 1 および 4 1 3 はオンでトランジスタ 4 1 2 および 4 1 4 はオフになっている。このとき、トランジスタ

431および432もオンであるため、各キャパシタ421および423の両方の電極には高電位電源電圧AVDが印加され、さらに、各キャパシタ422および424の一方の電極には入力信号DINおよびDINXが供給され、そして、各キャパシタ422および424の他方の電極には高電位電源電圧AVDが印加されて、プリチャージが行われる。

【0043】

次に、制御信号 $\phi 1$ が高レベル『H』（制御信号 $\phi 2$ が低レベル『L』）になると、トランジスタ411および413がオフでトランジスタ412および414がオンになって、キャパシタ421および423とキャパシタ422および424がそれぞれ並列接続される。このとき、トランジスタ431および432はオフで、イコライザ3241の出力POSおよびNEGは、高電位電源線（AVD）から切断されており、入力信号DINおよびDINXからISIが除去された信号が出力される。なお、イコライザ3241の出力（POS，NEG）は、次段の差動アンプ回路3211に差動入力信号として与えられる。

【0044】

図22は図20に示す受信LSI（302）におけるSRラッチ（3221）の一例を示す回路図である。

図22に示されるように、各SRラッチ3221（3221～3224）は、一方の入力と出力がクロスカップルされたNANDゲート501および502と、これらNANDゲート501および502の出力に接続されたインバータ503および504とを備えて構成されている。そして、差動アンプ回路3211からの差動出力信号（S，R）は、NANDゲート501および502の他方の入力に与えられて保持され、さらに、インバータ503および504で反転されて差動信号Q，QXとして出力される。

【0045】

図23は図20に示す受信LSIの動作を説明するためのタイミング図である。

図23に示されるように、図20の受信LSI（4-wayインターリーブ型DPRDレシーバ）302は、四相クロックCK0～CK3に応じて4つのイコ

ライザ、差動アンプ回路およびSRラッチの組（3 2 4 1, 3 2 1 1, 3 2 2 1 ~ 3 2 4 4, 3 2 1 4, 3 2 2 4）が動作し、例えば、2. 5 GHzの差動入力信号（入力データDIN, DINX）から6 2 5 MHzの差動出力信号（出力データDT0~DT3）を取り出すようになっている。

【0 0 4 6】

図2 4は本発明の差動アンプ回路が適用されるさらに他の例としてのルータの一例を示すブロック図であり、図2 5は図2 4に示すルータにおける第1の制御回路および第2の制御回路の一例を概略的に示す論理回路図である。ここで、図2 5（a）は図2 4に示すルータ（5 0 1）における第1の制御回路（5 1 0）を示し、また、図2 5（b）は図2 4に示すルータ（5 0 1）における第2の制御回路（5 2 1）を示している。

【0 0 4 7】

図2 4および図2 5において、参照符号SR Sはシステムリセット信号（アクティブ：高レベル『H』）、PPDSはポートパワーダウン信号（アクティブ：高レベル『H』）、そして、CPDSはチャネルパワーダウン信号（アクティブ：低レベル『L』）を示している。ここで、システムリセット信号SR Sは、ルータ全体（差動アンプ回路が搭載されたLSIの全回路）をリセットするための信号であり、また、ポートパワーダウン信号PPDSは、複数の受信回路（n個の受信回路5 3 1~5 3 n）を有する各ポート5 0 1~5 0 4をリセットするための信号であり、そして、チャネルパワーダウン信号CPDSは、各ポートに複数個ある受信回路5 3 1~5 3 nを個別にリセットするための信号である。

【0 0 4 8】

図2 4に示されるように、ルータは、例えば、4つのポート1~ポート4（参照符号5 0 1~5 0 4を備え、各ポート（5 0 1）は、第1制御回路5 1 0、第2制御回路5 2 1~5 2 n、および、受信回路5 3 1~5 3 nを有している。ここで、各受信回路5 3 1~5 3 nは、例えば、前述した本発明の第1実施例（図8参照）や第2実施例（図9参照）のような差動アンプ回路を含んでいる。

【0 0 4 9】

図2 5（a）に示されるように、第1の制御回路5 1 0は、ORゲート5 1 0

1で構成され、システムリセット信号SRSおよびポートパワーダウン信号PPDSの論理和を取ってパワーダウン信号PDSを出力する。従って、システムリセット信号SRSまたはポートパワーダウン信号PPDSの少なくとも一方がアクティブ（高レベル『H』）のときは、出力信号PDS1が高レベル『H』になる。

【0050】

図25（b）に示されるように、第2の制御回路521は、NORゲート5211およびインバータ5212を備えて構成され、チャネルパワーダウン信号CPDSの反転信号と第1の制御回路510の出力信号PDS0との論理和の反転信号PDX11（図8および図9における制御信号PDX）を出力するようになっている。

【0051】

すなわち、第2の制御回路521は、システムリセット信号SRS、ポートパワーダウン信号PPDSまたはチャネルパワーダウン信号CPDSの少なくとも1つがアクティブ（リセット）のときは、高レベル『H』の出力信号（PDX11）を出力するようになっている。従って、例えば、本発明の第1実施例および第2実施例では、システムリセット信号SRS、ポートパワーダウン信号PPDSまたはチャネルパワーダウン信号CPDSの少なくとも1つがアクティブのときは、制御信号PDXが高レベル『H』でトランジスタ3がオン状態となり、回路（差動入力トランジスタ1，2）に微小電流が流されることになる。

【0052】

（付記1） ラッチ部を備える差動アンプ回路であって、

差動入力トランジスタに微小電流を貫通させておくことを特徴とする差動アンプ回路。

（付記2） 付記1に記載の差動アンプ回路において、

前記差動入力トランジスタは、各々が第1および第2の電極と制御電極とを有する第1のトランジスタおよび第2のトランジスタを備え、

該第1のトランジスタの制御電極および該第2のトランジスタの制御電極には差動入力信号が供給され、

該第 1 のトランジスタの第 1 の電極および該第 2 のトランジスタの第 1 の電極の共通接続ノードと第 1 の電源線との間に、前記第 1 および第 2 のトランジスタに微小電流を貫通させておく第 3 のトランジスタを設けたことを特徴とする差動アンプ回路。

【 0 0 5 3 】

(付記 3) 付記 2 に記載の差動アンプ回路において、

前記第 3 のトランジスタは、該差動アンプ回路の動作停止時に前記第 1 および第 2 のトランジスタに対する微小電流の貫通を停止することを特徴とする差動アンプ回路。

(付記 4) 付記 2 に記載の差動アンプ回路において、さらに、

前記第 1 のトランジスタの第 1 の電極および前記第 2 のトランジスタの第 1 の電極の共通接続ノードと前記第 1 の電源線との間に設けられ、該差動アンプ回路における信号判定時に駆動電流を流す第 4 のトランジスタを備え、

前記第 3 のトランジスタを、該第 4 のトランジスタと並列に接続したことを特徴とする差動アンプ回路。

【 0 0 5 4 】

(付記 5) 付記 4 に記載の差動アンプ回路において、

前記第 3 のトランジスタの制御電極に、該差動アンプの動作中に常時微小電流を流すための微小電流制御信号を供給したことを特徴とする差動アンプ回路。

(付記 6) 付記 4 に記載の差動アンプ回路において、

該差動アンプ回路を MOS トランジスタで構成し、

前記第 3 のトランジスタのゲート幅を、前記第 4 のトランジスタのゲート幅よりも小さくしたことを特徴とする差動アンプ回路。

【 0 0 5 5 】

(付記 7) 付記 2 に記載の差動アンプ回路において、

前記第 3 のトランジスタを、該差動アンプ回路による信号判定時に駆動電流を流すトランジスタと兼用したことを特徴とする差動アンプ回路。

(付記 8) 付記 7 に記載の差動アンプ回路において、

前記第 3 のトランジスタの制御電極に供給する電流値制御信号を、該差動アンプ

プ回路における信号判定時に所定の駆動電流を流すレベルとし、且つ、該差動アンプの動作中で信号判定時以外に前記第 1 および第 2 のトランジスタに微小電流を貫通させるレベルとしたことを特徴とする差動アンプ回路。

【 0 0 5 6 】

(付記 9) 付記 1 ～ 8 のいずれか 1 項に記載の差動アンプ回路において、

前記ラッチ部は、前記第 1 のトランジスタの第 2 の電極と第 2 の電源線との間に設けた第 1 のインバータ、および、前記第 2 のトランジスタの第 2 の電極と該第 2 の電源線との間に設けた第 2 のインバータを備え、該第 1 のインバータおよび該第 2 のインバータをクロスカップルしたことを特徴とする差動アンプ回路。

【 0 0 5 7 】

(付記 1 0) 付記 9 に記載の差動アンプ回路において、

該差動アンプ回路を MOS トランジスタで構成し、

前記第 1 および第 2 のインバータにおける前記第 2 の電源線に接続されたトランジスタに対してそれぞれトランジスタを並列に接続し、該差動アンプの動作中で信号判定時以外に前記第 1 および第 2 のトランジスタの各第 2 の電極を所定レベルに保持したことを特徴とする差動アンプ回路。

【 0 0 5 8 】

(付記 1 1) 付記 1 ～ 1 0 のいずれか 1 項に記載の差動アンプ回路において、さらに、

前記第 1 のトランジスタの第 2 の電極および前記第 2 のトランジスタの第 2 の電極に接続され、制御信号に応じて該第 1 のトランジスタの第 2 の電極および該第 2 のトランジスタの第 2 の電極を短絡する第 5 のトランジスタを備えることを特徴とする差動アンプ回路。

【 0 0 5 9 】

(付記 1 2) 付記 1 ～ 1 0 のいずれか 1 項に記載の差動アンプ回路において、さらに、

前記第 1 のトランジスタの第 2 の電極および前記第 2 のトランジスタの第 2 の電極に接続され、制御電極に所定の電圧が印加された第 6 のトランジスタを備えることを特徴とする差動アンプ回路。

【 0 0 6 0 】

(付記 1 3) 付記 1 2 に記載の差動アンプ回路において、前記差動入力信号は、CML レベルの信号であることを特徴とする差動アンプ回路。

(付記 1 4) 付記 1 ～ 1 3 のいずれか 1 項に記載の差動アンプ回路において、さらに、

差動出力信号を取り出す 2 つのノード間に、制御信号に応じて該 2 つのノードを短絡する第 7 のトランジスタを備えることを特徴とする差動アンプ回路。

【 0 0 6 1 】

(付記 1 5) 付記 1 ～ 1 4 のいずれか 1 項に記載の差動アンプ回路において、さらに、

前記第 1 のトランジスタの第 1 の電極および前記第 2 のトランジスタの第 1 の電極の共通接続ノードと前記第 2 の電源線との間に設けられ、制御電極に制御信号が供給された第 8 のトランジスタを備えることを特徴とする差動アンプ回路。

【 0 0 6 2 】

(付記 1 6) 付記 1 ～ 1 5 のいずれか 1 項に記載の差動アンプ回路において、該差動アンプ回路は、ストロングアームラッチ型の差動センスアンプ回路であることを特徴とする差動アンプ回路。

(付記 1 7) 付記 1 ～ 1 6 のいずれか 1 項に記載の差動アンプ回路を備えたことを特徴とする半導体集積回路装置。

【 0 0 6 3 】

【発明の効果】

以上、詳述したように、本発明によれば、差高速で小振幅の信号に対しても正確な信号増幅を行うことのできる差動アンプ回路およびその差動アンプ回路を備えた半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図 1】

従来の差動アンプ回路の一例を説明するための回路図である。

【図 2】

従来の差動アンプ回路の他の例を説明するための回路図である。

【図 3】

従来の差動アンプ回路のさらに他の例を説明するための回路図である。

【図 4】

従来の差動アンプ回路のさらに他の例を説明するための回路図である。

【図 5】

従来の差動アンプ回路のさらに他の例を説明するための回路図である。

【図 6】

従来の差動アンプ回路のさらに他の例を説明するための回路図である。

【図 7】

従来の差動アンプ回路のさらに他の例を説明するための回路図である。

【図 8】

本発明に係る差動アンプ回路の第 1 実施例を示す回路図である。

【図 9】

本発明に係る差動アンプ回路の第 2 実施例を示す回路図である。

【図 1 0】

図 8 および図 9 に示す差動アンプ回路の動作を説明するためのタイミング図である。

【図 1 1】

本発明に係る差動アンプ回路の第 3 実施例を示す回路図である。

【図 1 2】

図 1 1 に示す差動アンプ回路の動作を説明するためのタイミング図である。

【図 1 3】

本発明に係る差動アンプ回路の第 4 実施例を示す回路図である。

【図 1 4】

本発明に係る差動アンプ回路の第 5 実施例を示す回路図である。

【図 1 5】

本発明に係る差動アンプ回路の第 6 実施例を示す回路図である。

【図 1 6】

本発明に係る差動アンプ回路の第 7 実施例を示す回路図である。

【図 1 7】

本発明に係る差動アンプ回路の第 8 実施例を示す回路図である。

【図 1 8】

本発明の差動アンプ回路が適用される一例としての信号伝送システムの一例を示すブロック図である。

【図 1 9】

本発明の差動アンプ回路が適用される一例としての信号伝送システムの他の例を示すブロック図である。

【図 2 0】

図 1 9 に示す信号伝送システムにおける受信 L S I の一構成例を示すブロック図である。

【図 2 1】

図 2 0 に示す受信 L S I におけるイコライザ回路の一例を示す回路図である。

【図 2 2】

図 2 0 に示す受信 L S I における S R ラッチの一例を示す回路図である。

【図 2 3】

図 2 0 に示す受信 L S I の動作を説明するためのタイミング図である。

【図 2 4】

本発明の差動アンプ回路が適用されるさらに他の例としてのルータの一例を示すブロック図である。

【図 2 5】

図 2 4 に示すルータにおける第 1 の制御回路および第 2 の制御回路の一例を概略的に示す論理回路図である。

【符号の説明】

- 1, 1 0 1 …第 1 のトランジスタ
- 2, 1 0 2 …第 2 のトランジスタ
- 3, (3 0') …第 3 のトランジスタ
- 3 0, (3 0'), 1 3 0 …第 4 のトランジスタ
- 4, 1 0 4 …第 5 のトランジスタ

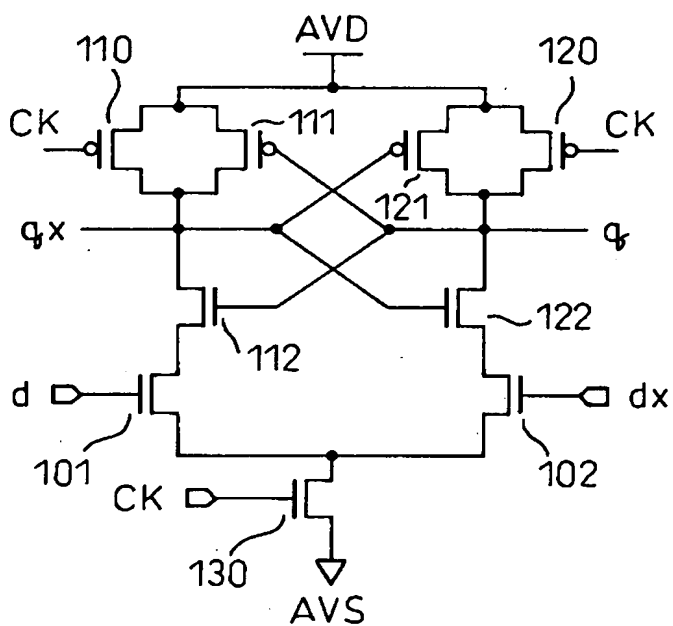
5 0 …第 6 のトランジスタ
6 0 …第 7 のトランジスタ
7 0 …第 8 のトランジスタ
2 0 1, 3 0 1 …送信用 L S I
2 0 2, 3 0 2 …受信用 L S I
2 0 3, 3 0 3 …信号伝送路
2 1 0, 3 1 0 …送信回路
2 2 1, 3 2 1 (3 2 1 1 ~ 3 2 1 4) …差動アンプ回路
2 2 2, 3 2 2 (3 2 2 1 ~ 3 2 2 4) …S R ラッチ
2 2 3, 3 2 3 …クロック発生源
3 2 4 (3 2 4 1 ~ 3 2 4 4) …イコライザ (I S I イコライザ)
d, d x …差動入力 (相補の入力信号)
q, q x …差動出力 (相補の出力信号 : 相補の出力ノード)
A V D …高電位電源線
A V S …低電位電源線
C C S …電流制御信号
C K …クロック
C K 0 ~ C K 3 …四相クロック
C P D S …チャネルパワーダウン信号
P D X …制御信号
P P D S …ポートパワーダウン信号
S R S …システムリセット信号

【書類名】 図面

【図 1】

図 1

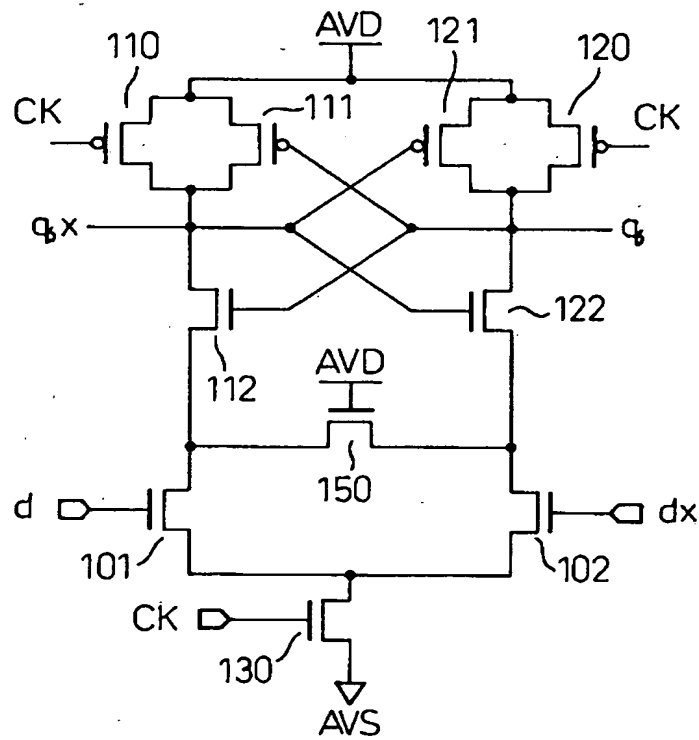
従来の差動アンプ回路の一例を説明するための回路図



【図 3】

図 3

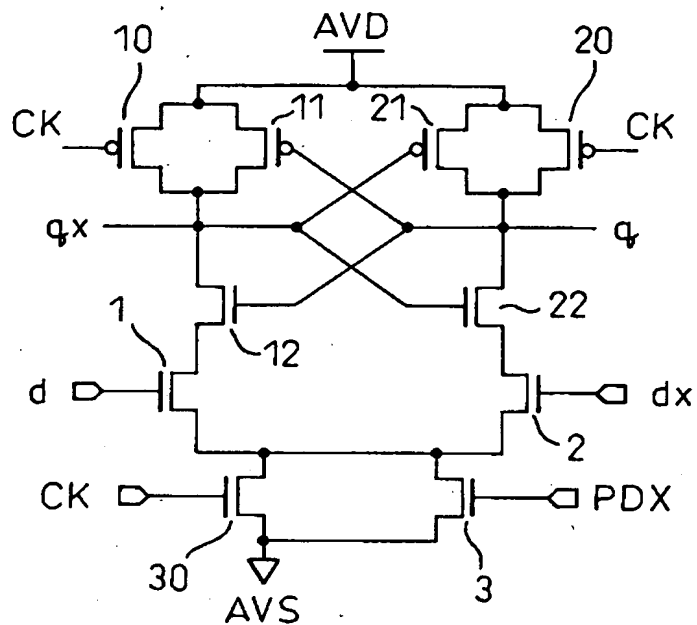
従来の差動アンプ回路のさらに他の例を説明するための回路図



【図 8】

図 8

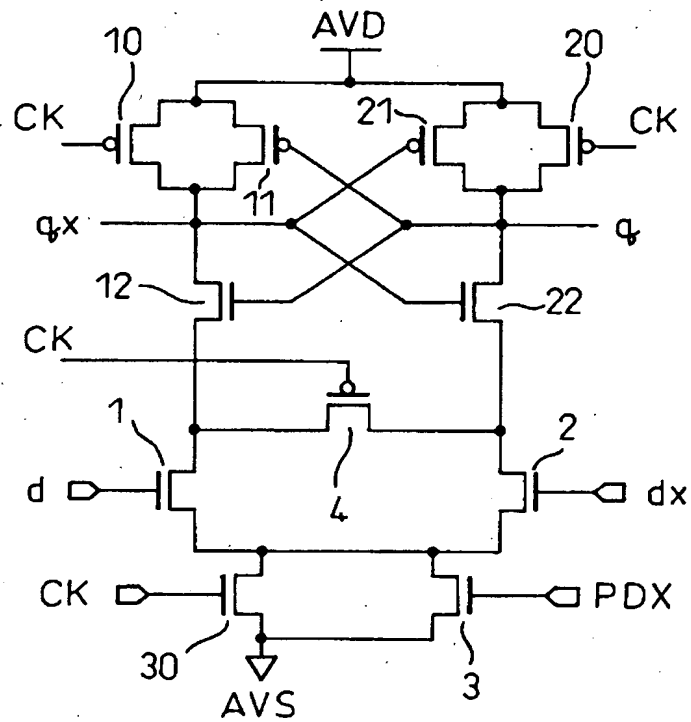
本発明に係る差動アンプ回路の第 1 実施例を示す回路図



【図9】

図 9

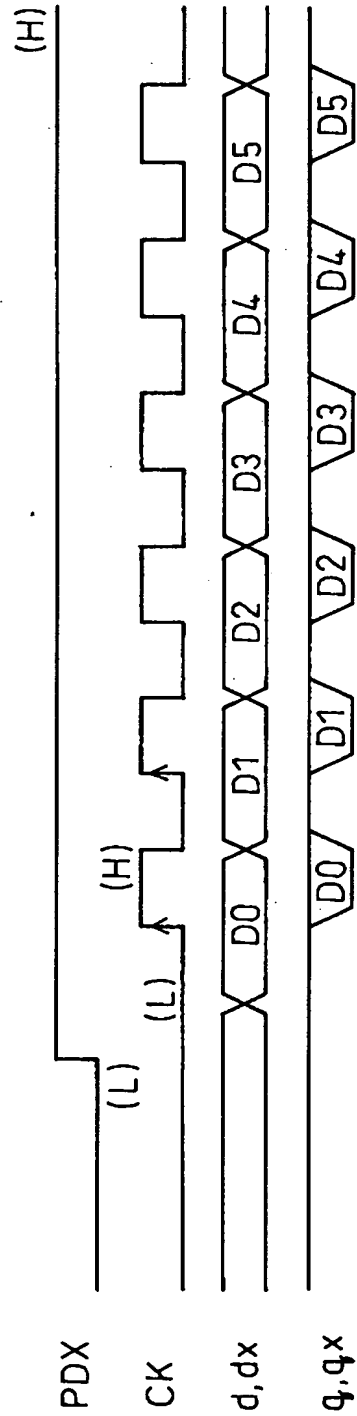
本発明に係る差動アンプ回路の第2実施例を示す回路図



【図 1 0】

図 10

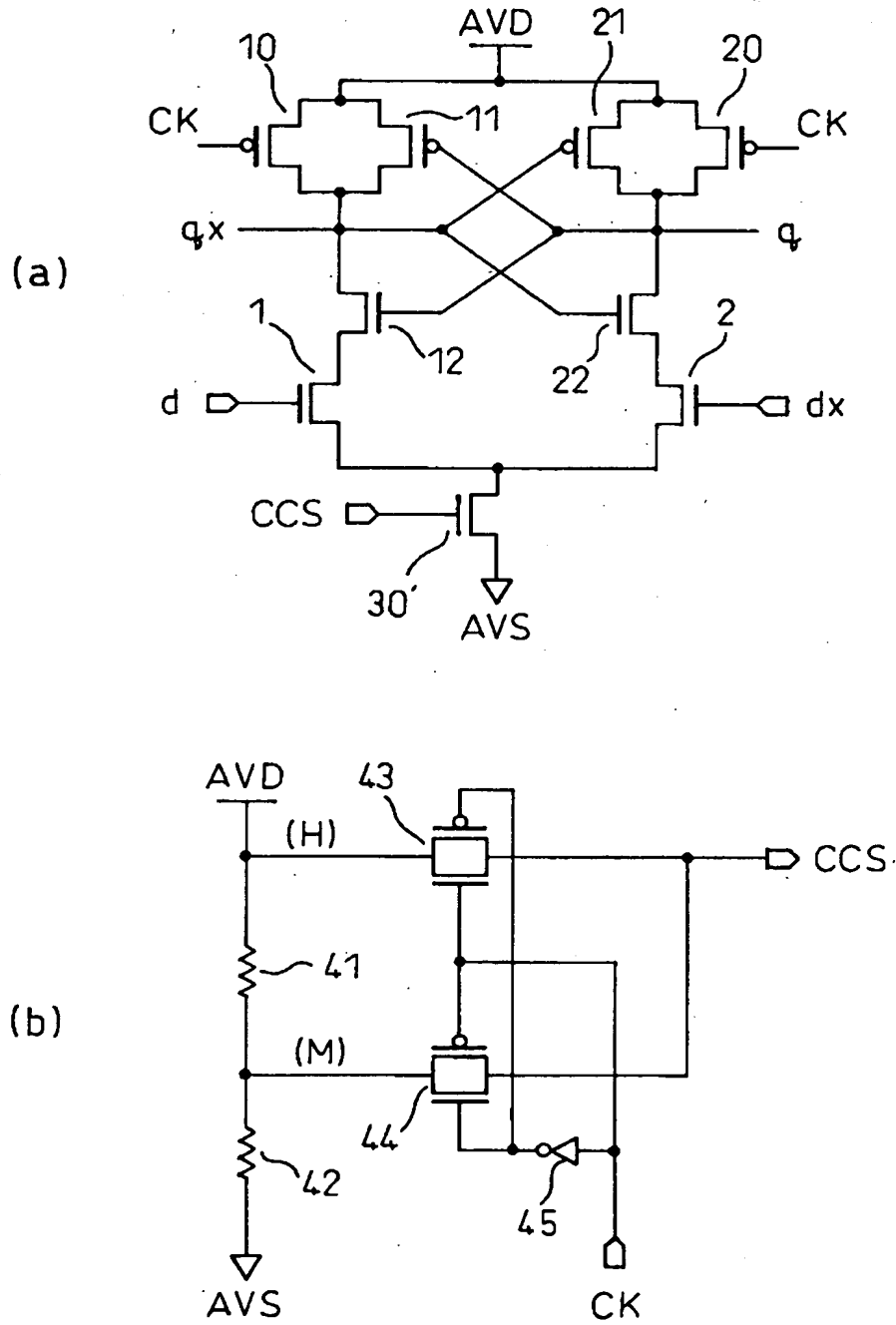
図 8 および図 9 に示す差動アンプ回路の動作を説明するためのタイミング図



【図 11】

図 11

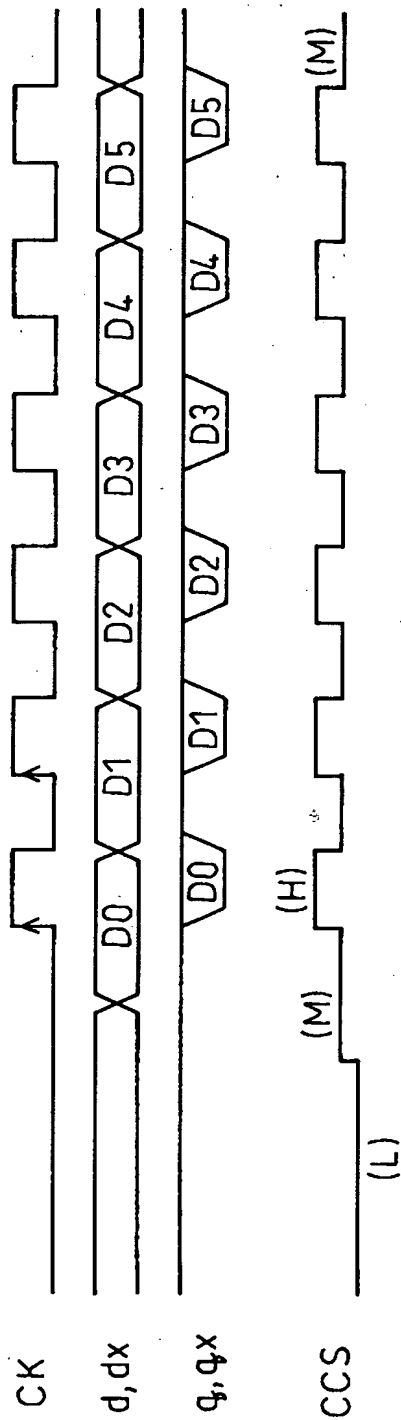
本発明に係る差動アンプ回路の第 3 実施例を示す図



【図 1 2】

図 12

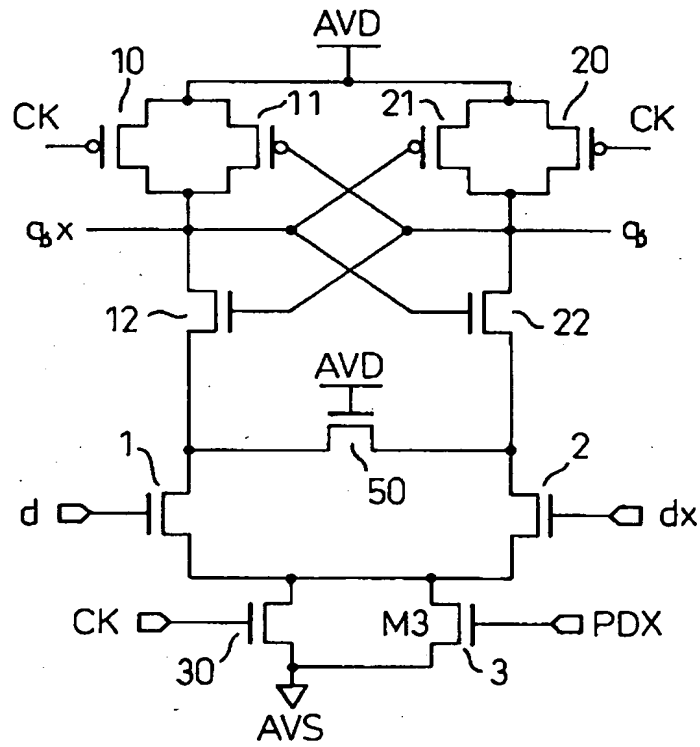
図 11 に示す 差動 アンプ 回路の 動作を 説明する ための タイミング 図



【図 13】

図 13

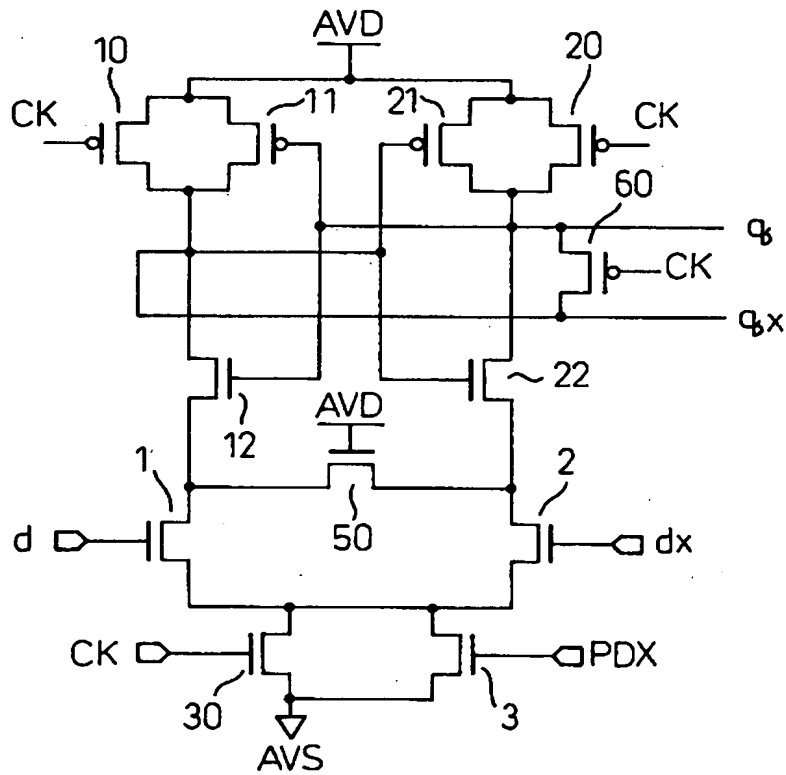
本発明に係る差動アンプ回路の第 4 実施例を示す回路図



【図 1 6】

図 16

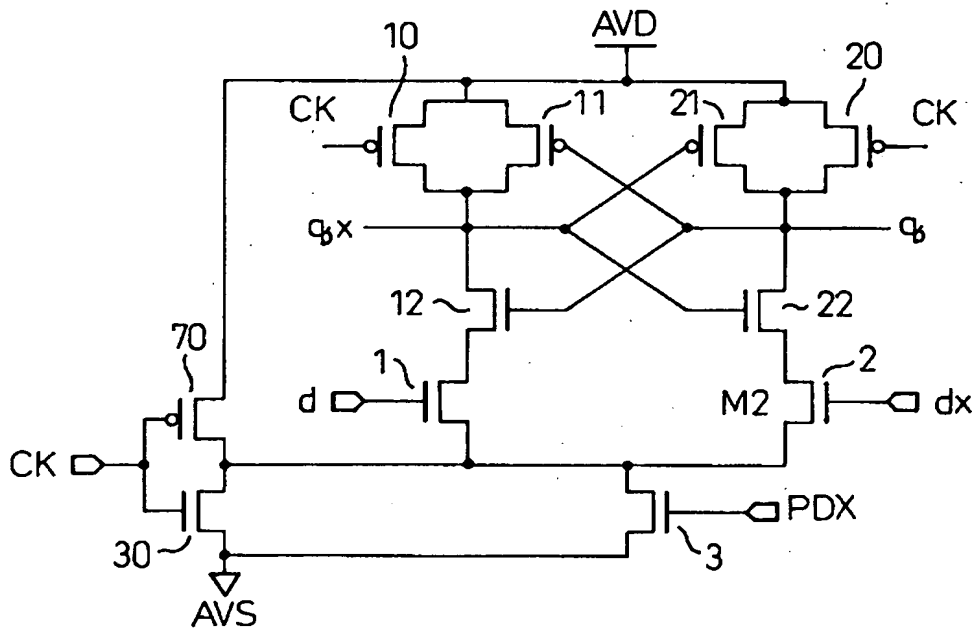
本発明に係る差動アンプ回路の第 7 実施例を示す回路図



【図 1 7】

図 17

本発明に係る差動アンプ回路の第 8 実施例を示す回路図

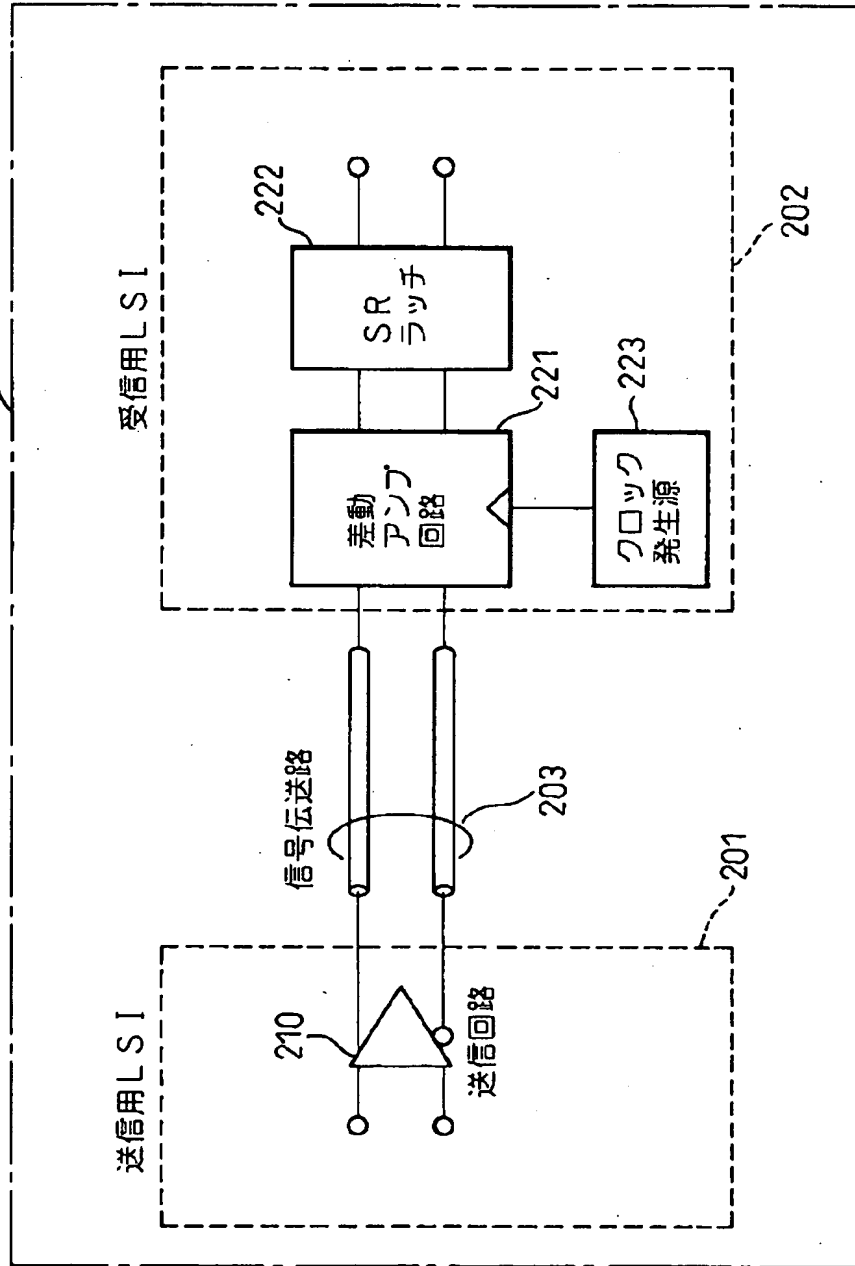


【図 18】

図 18

本発明の差動アンプ回路が適用される一例としての信号伝送システム
の一例を示すブロック図

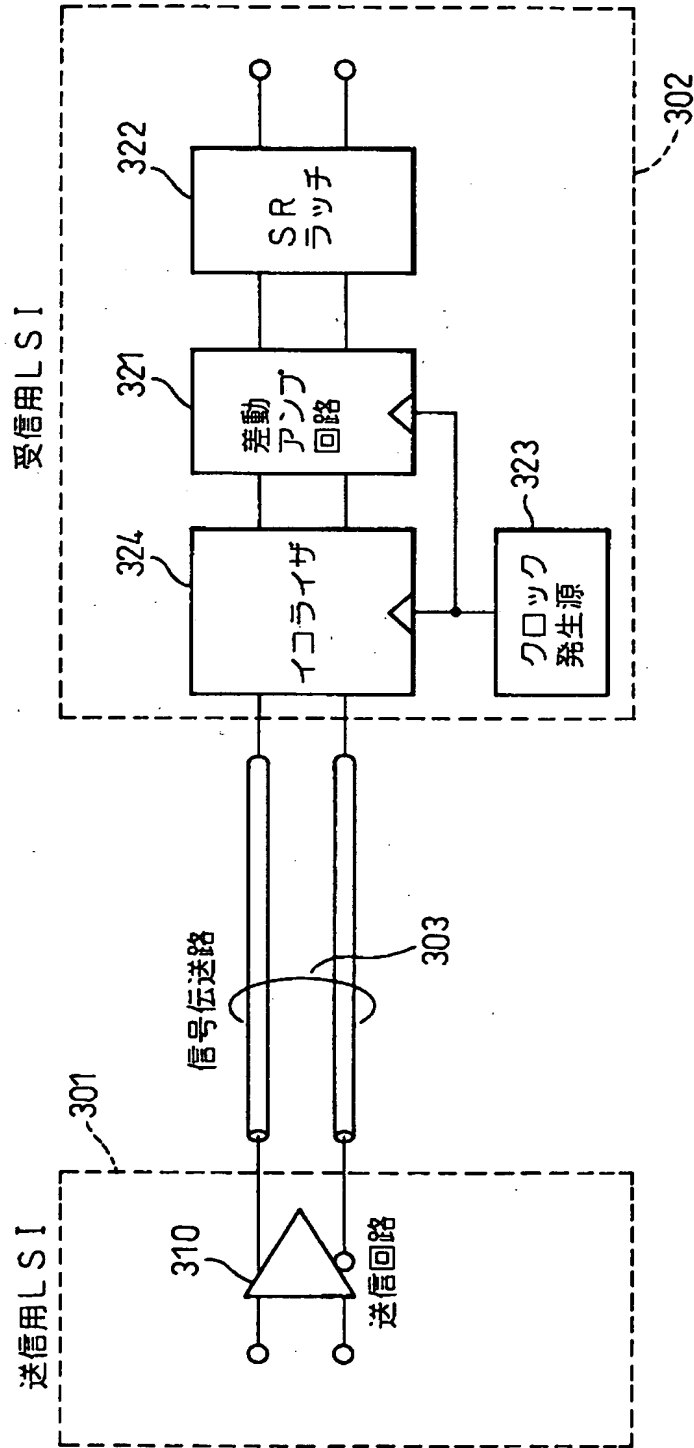
200



【図19】

図 19

本発明の差動アンプ回路が適用される一例としての信号伝送システム
の他の例を示すブロック図

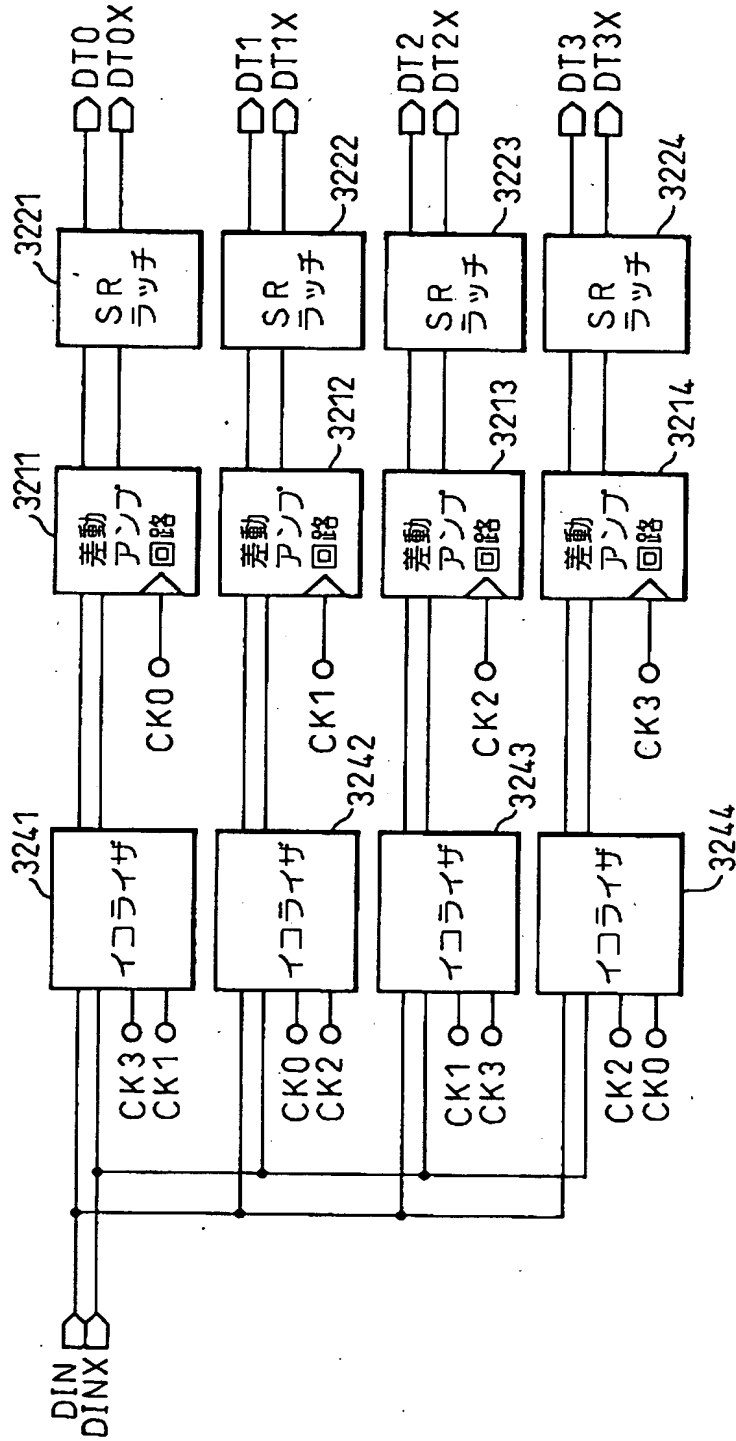


【図 20】

図19に示す信号伝送システムにおける受信LSIの一構成例を示すブロック図

図 20

302

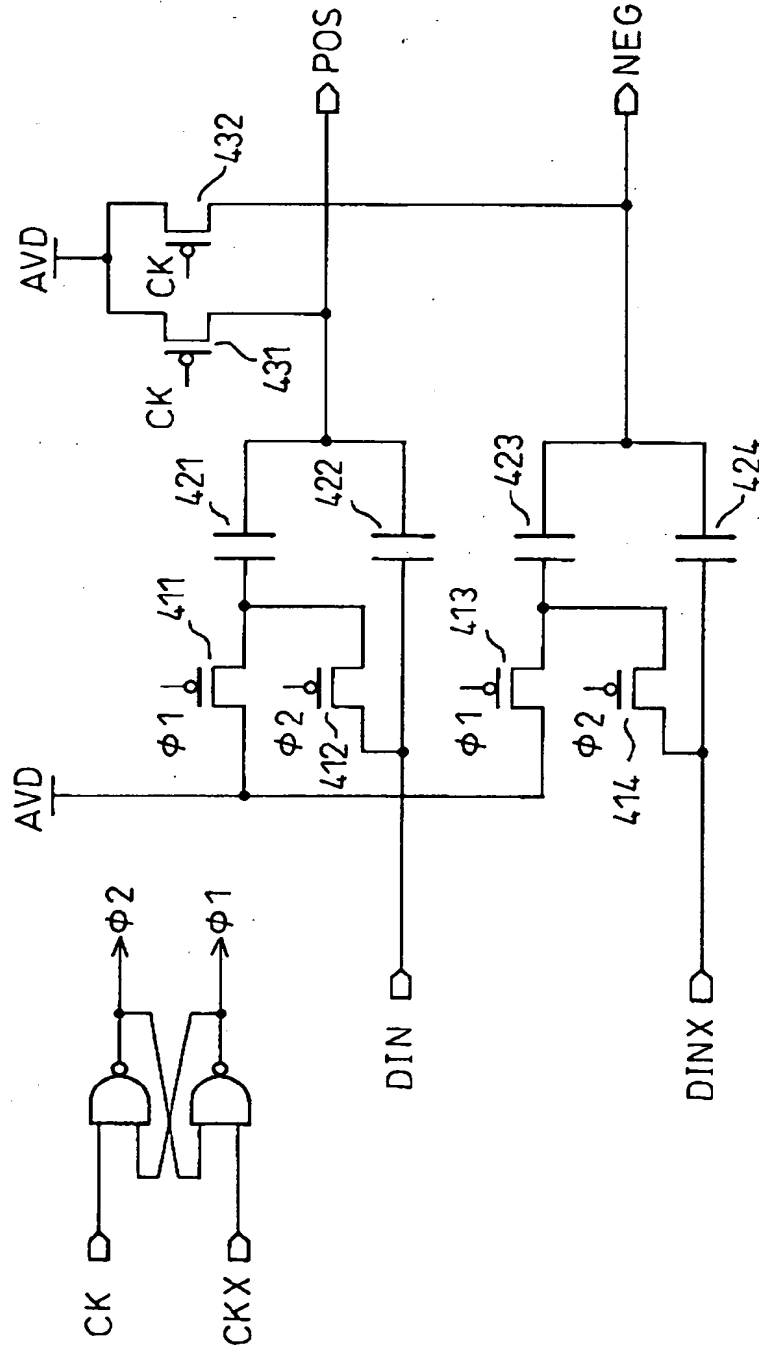


【図 21】

図 21

図20に示す受信し S I におけるイコライザ回路の一例を示す回路図

3241

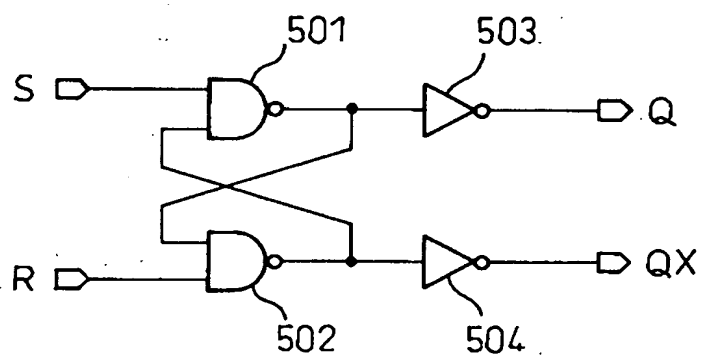


【図 2 2】

図 22

図20に示す受信LSIにおけるSRラッチの一例を示す回路図

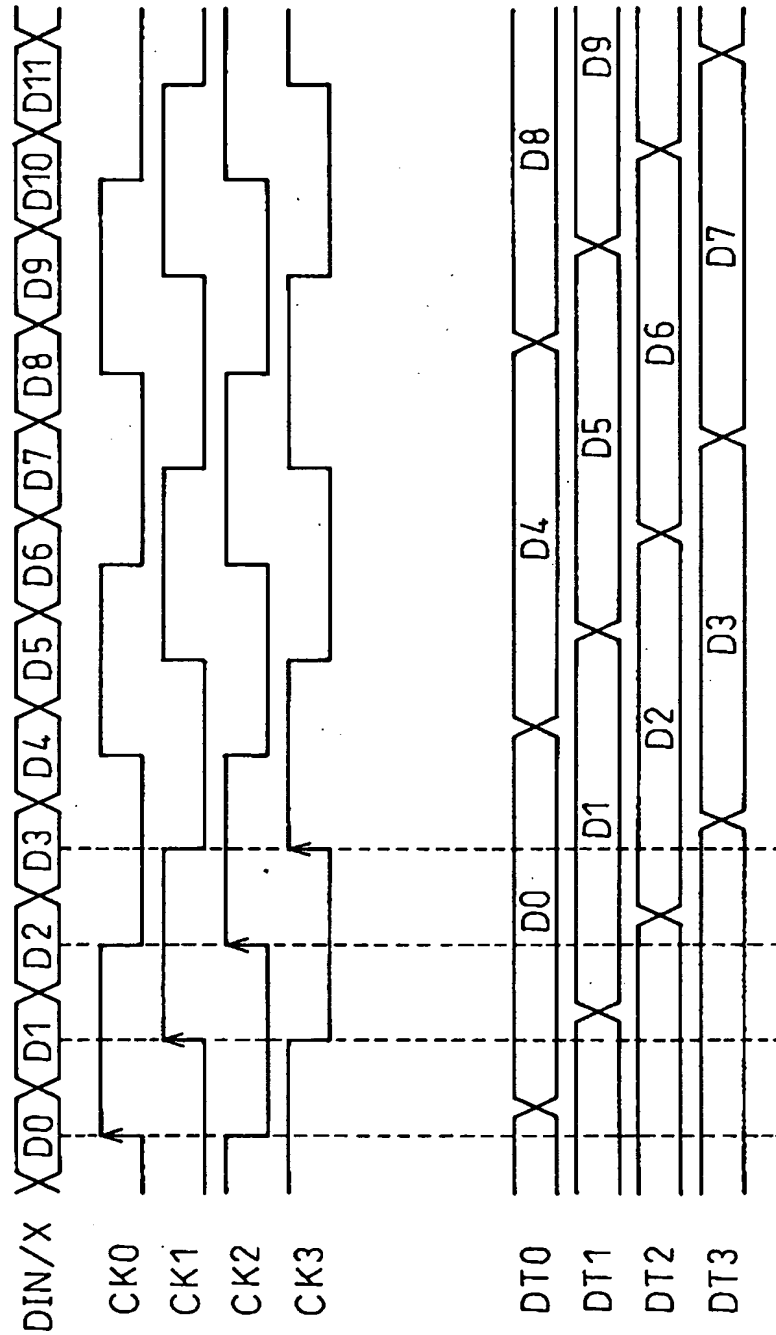
3221



【図 23】

図 23

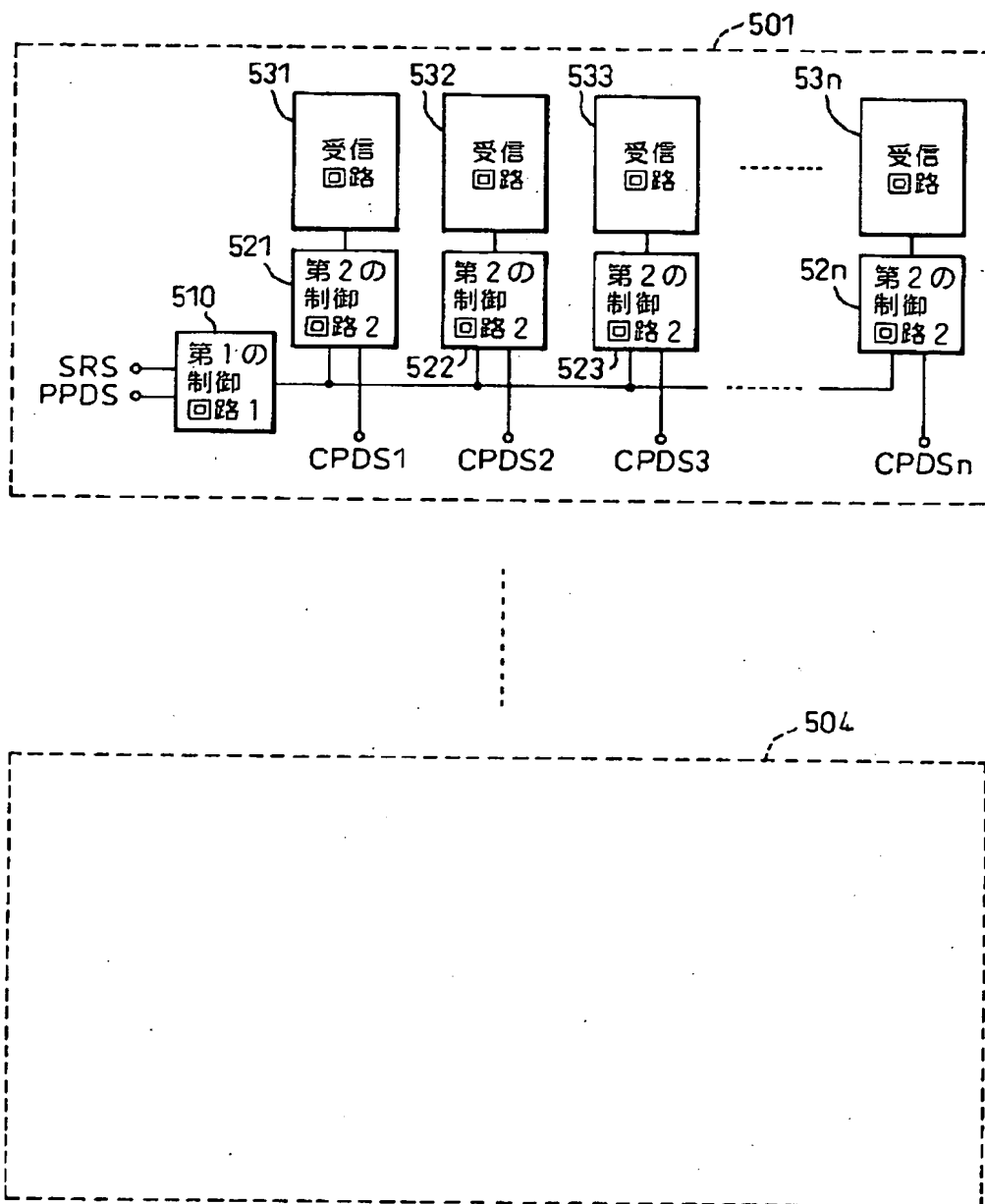
図20に示す受信LSIの動作を説明するためのタイミング図



【図 2 4】

図 24

本発明の差動アンプ回路が適用されるさらに他の例としてのルータの一例を示すブロック図



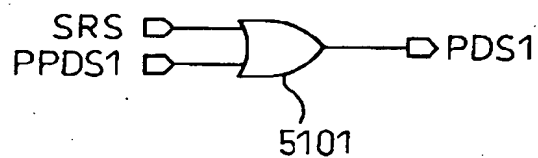
【図 2 5】

図 25

図24に示すルータにおける第1の制御回路および第2の制御回路の一例を概略的に示す論理回路図

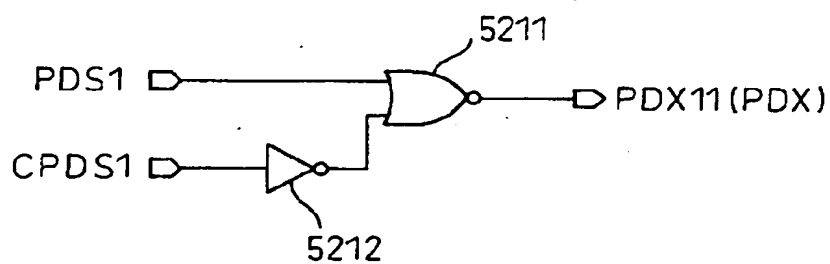
510

(a)



521

(b)



【書類名】 要約書

【要約】

【課題】 従来、差動アンプ回路は、差動入力トランジスタの製造ばらつきや回路の寄生容量の影響を受けて、高速で小振幅の信号に対しては正確な信号増幅を行うことが困難なことがあった。

【解決手段】 ラッチ部を備える差動アンプ回路であって、差動入力トランジスタ 1, 2 に微小電流を貫通させておくように構成する。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社